



Zum Klienten:

Weitere Informationen zum Klienten und laufend neue Jobchancen erhalten Sie nach Ihrer Anmeldung und dem Onboarding durch Ihren Fachberater per Mail oder online. Wir freuen uns, Sie persönlich kennenzulernen!

Arbeitsort:

Zürich Metropolitan Area (X Kilometer und X Minuten von Ihrer Wohnadresse entfernt)

Jobbeschreibung:

Senior Physical Design Engineer (w/m/d)

Ihr Aufgabengebiet:

- Timing-Closure und Sign-off für komplexe IP- und SoC-Blöcke verantworten, die unsere Full-Custom-ComputeRAM®-Makros integrieren
- Static Timing Analysis über alle relevanten Corners und Modi durchführen
- Timing-Constraints für Blöcke und Top-Level-Designs erstellen, verfeinern und pflegen, inklusive Clocks, generierten Clocks, I/O-Timing und Exceptions
- Setup- und Hold-Closure durchführen sowie Variation und Korrelation von Synthese über P&R bis Sign-off managen
- Clock-Tree-Strategie und Debugging mit klaren Zielen für Skew, Jitter und Latenz steuern
- Eng mit Synthese-, Place-and-Route- und Clock-Tree-Teams zusammenarbeiten
- Timing- und funktionale ECOs leiten, Auswirkungen nachverfolgen und wiederholbare Closure mit minimalem Aufwand erzielen
- Gate-Level-Verifikation mit Timing-Daten unterstützen und Konsistenz von Timing/Constraints mit Sign-off-Views sicherstellen
- Timing-Checks, Report-Erstellung und Regressionen mittels Scripting automatisieren und wiederverwendbare Checklisten sowie Dokumentation beitragen
- Eng mit dem Full-Custom-Team zusammenarbeiten, um kundenspezifische IPs in den klassischen digitalen Backend-Flow zu integrieren

Was Sie ausmacht:

- 5+ Jahre Erfahrung im ASIC Physical Design mit starkem Fokus auf Timing-Closure und Sign-off
- Vertrautheit mit STA-Tools und -Flows, inklusive Clocking, Cross-Domain-Themen, Multi-Clock-Designs und hierarchischer Closure
- Praktische Erfahrung in der Zusammenarbeit mit Synthese und Place-and-Route zur Treffung timing-bewusster Entscheidungen und Steuerung von ECOs bis zur Closure
- Scripting-Kenntnisse zur Automatisierung von Timing-Analyse und Reporting
- Kollaborative Arbeitsweise mit Front-End-, Backend- und Verifikationsteams
- Von Vorteil: Erfahrung mit Power-Aware- und Low-Power-Backend
- Von Vorteil: Hintergrund in Scan- und Test-Timing sowie Verständnis für Wechselwirkungen von Verifikation und physikalischer Verifikation mit Timing
- Von Vorteil: Erfahrung mit fortschrittlichen Nodes und hierarchischem Sign-off bei grossen Designs
- Von Vorteil: Kontext in der Arbeit an Beschleunigern oder speichernahen Designs, bei denen Timing und Integration eng verknüpft sind

Was diese Stelle ausmacht:

- Zahlreiche individuelle Benefits